

02362725 \*\*Image available\*\*  
EPITAXIAL GROWTH METHOD

PUB. NO.: 62 -279625 [JP 62279625 A]  
PUBLISHED: December 04, 1987 (19871204)  
INVENTOR(s): HOSHI TAEKO  
HAYASHI HISAO  
APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 61-122984 [JP 86122984]  
FILED: May 28, 1986 (19860528)  
INTL CLASS: [4] H01L-021/205  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JOURNAL: Section: E, Section No. 611, Vol. 12, No. 168, Pg. 89, May  
20, 1988 (19880520)

#### ABSTRACT

PURPOSE: To eliminate the warp of a substrate and thereby to obtain an epitaxial growth film of excellent quality by a method wherein a natural oxide film on the surface of an Si substrate is removed by disilane, the disilane in a reaction vessel is excluded thereafter, and then epitaxial growth is conducted.

CONSTITUTION: Disilane  $\text{Si}(\text{sub } 2)\text{H}(\text{sub } 6)$  is sent, together with a carrier gas  $\text{H}(\text{sub } 2)$ , into a reaction vessel in which an Si single crystal semiconductor substrate is held and disposed, a substrate temperature is increased to 900-950 deg.C by heating, and heat treatment is applied (section D), so as to remove a natural oxide film on the surface of the substrate. Thereafter only the carrier gas  $\text{H}(\text{sub } 2)$  is sent into the reaction vessel, so as to exclude the disilane gas (section E). Then, monosilane  $\text{SiH}(\text{sub } 4)$  is supplied into the reaction vessel to make an Si layer grow on the substrate (section F). This method enables the avoidance of the warp of the substrate and the consequent attainment of an excellent epitaxial film.

DIALOG(R) File 351:Derwent W  
(c) 2002 Thomson Derwent. All rts. reserv.

007383674

WPI Acc No: 1988-017609/ 198803

Epitaxial growth forming monocrystal layer on semiconductor - includes  
removing natural oxidising film on substrate surface by using disilane  
gas NoAbstract Dwg 0/3

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62279625	A	19871204	JF 86122984	A	19860528	198803 B

Priority Applications (No Type Date): JP 86122984 A 19860528

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 62279625	A		11		

(partial translation of Japanese Patent Application Laid-Open No.62-279625 (1987))

43: Publishing date: December 4, 1987  
 54: Title of the invention: Epitaxial growing method  
 21: Japanese Patent Application No.61-122984 (1986)  
 22: Application date: May 28, 1986  
 72: Inventors: Taeko HOSHI and Hisao HAYASHI

(page (1), right column, line 6 through page (2), upper left column, line 1)

[Prior art]

In case of growing epitaxially Si single crystalline layer, for example, on a silicon (Si) single crystal semiconductor substrate, a pre-treatment of removing an oxide film naturally formed on a surface of the semiconductor substrate is generally conducted prior to the forming of the single crystal layer. The pre-treatment is comprised of conducting the heating in line with a temperature program as shown in Fig. 2 during introducing hydrogen gas in a reaction vessel in which the semiconductor substrate is located, heating the substrate to a high temperature of about 1050 to 1150 °C. for example, and in this state conducting a high temperature treatment for a prescribed time A of 10 minutes, for example, in H<sub>2</sub> gas or during the provision of HCl gas, to remove the natural oxide film. The pre-treatment is generally followed by lowering the temperature of the substrate to 700 to 900 °C. for example, and introducing monosilane SiH<sub>4</sub>, for example, together with carrier gas H<sub>2</sub> to grow Si epitaxially.

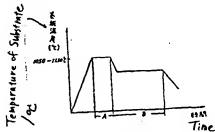


Fig. 2 Conventional temperature programming diagram

## ⑫ 公開特許公報(A) 昭62-279625

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月4日

H 01 L 21/205

7739-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 エピタキシャル成長法

⑯ 特 願 昭61-122984

⑰ 出 願 昭61(1986)5月28日

⑱ 発 明 者 星 妙 子 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑲ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
 ⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
 ㉑ 代 理 人 弁理士 伊藤 貞 外1名

## 明 細 書

発明の名称 エピタキシャル成長法

特許請求の範囲

ジシランを反応ガスとして用いて半導体基板表面の自然酸化膜を除去する工程と、

その後上記半導体基板表面に単結晶層をエピタキシャル成長する工程と、

上記自然酸化膜の除去工程と、上記単結晶層のエピタキシャル成長工程との間に上記反応ガスのジシランを排除する工程とを有することを特徴とするエピタキシャル成長法。

発明の詳細な説明

(産業上の利用分野)

本発明は、半導体基板上に半導体単結晶層を成長形成するエピタキシャル成長法に係わる。

(発明の概要)

本発明は、半導体基板上に単結晶層をエピタキシャル成長するに先立って、特に反応ガスとしてジシラン  $\text{Si}_2\text{H}_6$  ガスを用いて半導体基板表面の自

然酸化膜の除去を行い、その後特にこのジシランを排除した工程を経て後に、単結晶層のエピタキシャル成長を行うものであり、このようにすることによって結晶性にすぐれた単結晶層の形成を可能にするものである。

(従来の技術)

シリコン (Si) 単結晶半導体基板上に、例えば Si 単結晶層をエピタキシャル成長する場合、通常その単結晶層の形成に先立って半導体基板表面の自然酸化膜を除去する前処理が行われる。この前処理は、半導体基板が配置される反応容器内に水素ガスを送り込みつつ第2図にその温度プログラムを示すように、加熱を行い、基板温度を例えば 1050~1150℃程度に高温加熱し、この状態で  $\text{H}_2$  ガス中或いは  $\text{HCl}$  ガス供給下で所要時間 A、例えば 10分間の高温処理を行うことによって自然酸化膜の除去処理を行う。その後、基板温度を例えば 700~900℃に下げ例えばモノシラン  $\text{SiH}_4$  をキャリアガス  $\text{H}_2$  と共に送り込んで Si のエピタ

キシャル成長を行うことが一般に行われている。

ところが、近時半導体基板の大径化がとみに進み、上述した前処理に際しての高温処理による基板の反り（そり）の発生が問題となって来ている。また、このような高温処理を伴うことは例えば基板の不純物のオートドーピング等の問題がある。

一方、Si層のエピタキシャル成長を、ジシラン  $\text{Si}_2\text{H}_6$  ガスをを用いた 900℃程度の加熱によって行うことの試みがなされている。この場合の温度プログラミングは、第3図に示すように、例えば 900℃程度の一定の加熱による区間Cを設けてそのエピタキシャル成長を行うものである。この場合、前処理のための特別な作業は行われない、これは  $\text{Si}_2\text{H}_6$  が比較的活性に富み、その熱分解によって生じた水素ガスが、基板表面の自然酸化膜  $\text{SiO}_2$  と反応してこれを排除するエッチング反応工程を含むためと思われるが、この方法による場合、エピタキシャルされたSi層に結晶欠陥が生じ易く、信頼性に問題がある。これは、原料ガスのジシラン  $\text{Si}_2\text{H}_6$  がガス自体がモノシラン  $\text{SiH}_4$  ガス

に比し純度が低いということもさることながら、 $\text{Si}_2\text{H}_6$  によるエピタキシャル成長を行う場合、上述した  $\text{SiO}_2$  のエッチング作用と同時に  $\text{SiO}_2$  +  $\text{Si}-2\text{SiO}$  の反応も生じ、この  $\text{SiO}$  の一部がキャリアガスと共に排除されずにエピタキシャル成長膜中に取り込まれるとか基板からエッチングによってとり出された各種不純物がエピタキシャル成長膜中に取り込まれて結晶欠陥の発生原因を形成するものと考えられる。

#### 〔発明が解決しようとする問題点〕

本発明は、上述したような高温加熱を伴う前処理を回避して、大径の半導体基板における反りの問題の解消若しくは減少をはかり、しかもエピタキシャル成長膜の結晶性の問題の解消をはかる。

#### 〔問題点を解決するための手段〕

本発明においては、Si半導体基板表面の自然酸化膜の除去工程を、特にジシラン  $\text{Si}_2\text{H}_6$  によって行う。次にSi単結晶層のエピタキシャル成長を行

うものであるが、特に本発明においては、上述の自然酸化膜除去工程後とエピタキシャル成長工程との間に、反応容器中の上述のジシランを一旦排除する工程を経る。つまり、エピタキシャル成長を行わんとするSi半導体基板を収容配置した反応容器内で  $\text{Si}_2\text{H}_6$  によって比較的低い基板温度 800～1000℃での熱処理によって基板表面の自然酸化膜のエッチング除去を行って後に、反応容器内の雰囲気例えばキャリアガスの  $\text{H}_2$  ガスのみの供給によって  $\text{Si}_2\text{H}_6$  を排除する。

そして、その後にモノシラン  $\text{SiH}_4$ 、或いはジシラン  $\text{Si}_2\text{H}_6$  等の原料ガスをキャリアガスと共に送り込んで通常のSiエピタキシーを行う。

#### 〔作用〕

上述の本発明方法によって得たSiエピタキシャル層は、良好な結晶性を有することが認められた。これは上述したように、本発明においては、エピタキシーの前処理として、半導体基板表面の自然酸化膜のエッチング除去を行って後にエピタキ

シーを行っていることによって、良好なエピタキシャル成長を行うことができること、自然酸化膜除去の前処理の後に一旦  $\text{Si}_2\text{H}_6$  の排除を行ったことによってエッチング時に生成されたり基板からとり出された  $\text{SiO}$  等の不要物質、不純物等が取り去られ、この  $\text{SiO}$  がエピタキシャル成長層中にとり込まれることが回避されたことによるものであると考えられる。そして、更に、このエピタキシャル工程で、モノシラン  $\text{SiH}_4$  を原料ガスとするSiのエピタキシャル成長を行う場合は、この原料ガスとして純度の高いものが得られるので、よりすぐれたエピタキシャル層の生成を行うことができる。

#### 〔実施例〕

本発明によるエピタキシャル成長法の一例を第1図のプログラミング図を参照して説明する。この例においては、シリコン単結晶半導体基板を収容配置した反応容器内にキャリアガス  $\text{H}_2$  と共に  $\text{Si}_2\text{H}_6$  を送り込み、基板温度を 900～950℃に加

熱してD区間例えば10分間熱処理して基板表面の自然酸化膜を除去する。その後反応容器内に例えばキャリアガス $H_2$ のみを送り込んで第1図のE区間で $Si_2H_6$ ガスを供給する。

そして、例えばこのままの加熱温度で、すなわち、第1図に実線で示した基板温度の状態で反応容器内にモノシラン  $SiH_4$  を供給し、例えばF区間、例えば10～30分間でSi膜をエピタキシャル成長する。

尚、第1図、実線図示の例では、前処理とエピタキシャル成長とをほぼ同一温度下で行った場合であるが、同図破線で示すように、エピタキシャル工程での基板温度を800℃程度に下げてシリコン $Si_2H_6$ によるエピタキシャル成長を行うこともできるし、そのエピタキシャル成長は、従来公知の種々の方法を採り得る。

#### (発明の効果)

上述したように本発明によれば、Si膜のエピタキシャル成長に先立って、半導体基板表面の自然酸化膜をエッチング除去する前処理を行うもので

あるが、特にこの処理を $Si_2H_6$ によって行うようにしたのでその処理温度は比較的低温で行うことができる。したがって、半導体基板がこの熱処理によって反るなどの彎曲の発生を回避でき、これに伴う歪の発生や、各種半導体装置の製造工程、例えばフォトリソグラフィ工程等における基板の彎曲に基く瑕疵の発生、ひいては不良品の発生を回避でき、大口径半導体ウエハに適用して、特に大きな利点をもたらすものであり、またオートドレーピングの低減化などの利点をもたらす。

また、この前処理の後に、 $Si_2H_6$ の排除を行うようにしたので、前処理に際して生成された $SiO$ や基板からとり出された不純物B、As、P等のエピタキシャル膜へのとり込みを回避でき、結晶性にすぐれたSiのエピタキシャル成長膜を形成できる。

上述したように本発明によれば、半導体基板の彎曲の発生を回避し、良質なエピタキシャル膜の形成を可能にするので、集積回路、単体半導体装置等の各種半導体装置の製造に適用してその利益

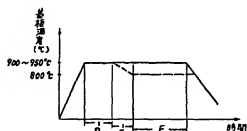
は極めて大なるものである。

図面の簡単な説明

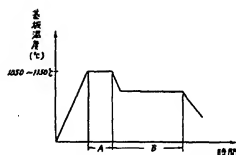
第1図は本発明によりエピタキシャル成長法の温度プログラミング図、第2図及び第3図は従来方法の温度プログラミング図である。

代理人 伊藤 貞

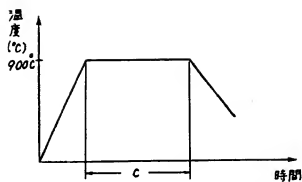
同 松隈 秀彦



本発明によるエピタキシャル成長法の  
温度プログラミング図  
第1図



従来法の温度プログラミング図  
第2図



SizHf によるエビタキツェル成長の  
温度プログラミング図

第 3 図